

1/5/3 (Item 3 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

012604527 \*\*Image available\*\*  
WPI Acc No: 1999-410631/ 199935  
XRPX Acc No: N99-306993

**Electrostatic destruction prevention structure of dynamic random access memory - has electrostatic destruction prevention circuit connected to NC pins of device, for preventing destruction of device from static discharge**

Patent Assignee: HITACHI LTD (HITA )  
Number of Countries: 001 Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11163247	A	19990618	JP 97329925	A	19971201	199935 B

Priority Applications (No Type Date): JP 97329925 A 19971201

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11163247	A	9	H01L-023/60	

Abstract (Basic): JP 11163247 A

NOVELTY - An electrostatic destruction prevention circuit (5) which prevents the destruction of device by static discharge, is connected to NC pins (P1,P2) of the device via a bonding wire (4).

USE - In dynamic random access memory (DRAM).

ADVANTAGE - Offers reliable product because of great improvement in noise immunity ability of device, and prevention in discharging to adjoining NC pins. DESCRIPTION OF DRAWING(S) - The figure shows the explanatory diagram of electrostatic destruction prevention circuit. (4) Bonding wire; (5) Electrostatic destruction prevention circuit; (P1,P2) NC pins.

Dwg.2/12

Title Terms: ELECTROSTATIC; DESTROY; PREVENT; STRUCTURE; DYNAMIC; RANDOM; ACCESS; MEMORY; ELECTROSTATIC; DESTROY; PREVENT; CIRCUIT; CONNECT; NC; PIN; DEVICE; PREVENT; DESTROY; DEVICE; STATIC; DISCHARGE

Derwent Class: U11; U13; V04

International Patent Class (Main): H01L-023/60

International Patent Class (Additional): H01L-023/00; H05K-009/00

File Segment: EPI

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-163247

(43)公開日 平成11年(1999) 6月18日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/60

H 0 1 L 23/56

B

23/00

23/00

B

H 0 5 K 9/00

H 0 5 K 9/00

Q

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21)出願番号

特願平9-329925

(22)出願日

平成9年(1997)12月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 成井 誠司

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 伊藤 豊

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 岩井 秀俊

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

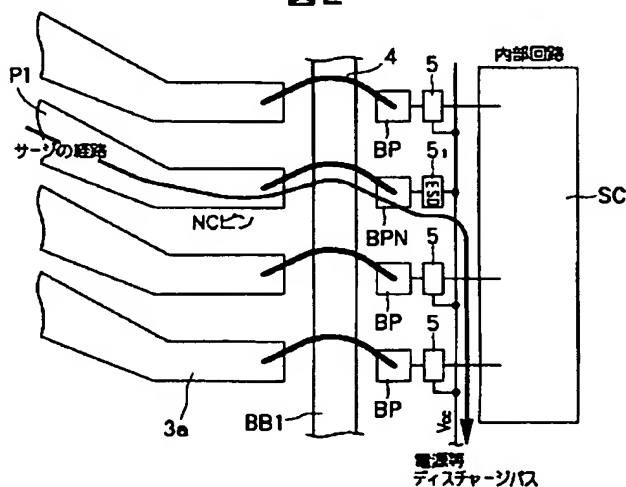
(54)【発明の名称】 半導体装置およびリードフレーム

(57)【要約】

【課題】 NCピンに静電破壊保護を施すことにより、耐静電ノイズ性能を大幅に向上する。

【解決手段】 内部回路SCに無接続のNCピンP1、P2がボンディングワイヤ4を介して静電破壊保護回路5<sub>1</sub>が設けられたNCピン専用の所定のボンディングパッドBPNに接続されており、NCピンP1、P2に静電ノイズが印加されても、過電圧を吸収し、NCピンP1、P2に隣接するピンへの静電放電によるデバイスの破壊を防止している。

図2



4: ボンディングワイヤ  
P1: NCピン  
SC: 内部回路  
10<sub>1</sub>: 静電破壊保護回路

## 【特許請求の範囲】

【請求項 1】 半導体チップと無接続の NC ピンを有した半導体装置であって、前記 NC ピンに静電放電によるデバイスの破壊を防止する静電破壊保護回路を接続したことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記静電破壊保護回路が、半導体チップ上に形成され、前記 NC ピンと前記静電破壊保護回路とがボンディングワイヤを介して接続されていることを特徴とする半導体装置。

【請求項 3】 半導体チップの上方にインナリードが位置し、前記半導体チップ上に設けられた電極と前記インナリードの先端部がボンディングワイヤにより接続される半導体装置であって、半導体チップと無接続の NC ピンにおけるインナリードの先端部と電源用ピンのインナリードとのクリアランスを小さくし、前記 NC ピンから印加される静電ノイズを前記電源用ピンのインナリードに放電しやすい形状としたことを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記電源用ピンのインナリードが、電源供給用の電極が一括してボンディングされる第 1 の補助リードであることを特徴とする半導体装置。

【請求項 5】 半導体チップの上方にインナリードが位置し、前記半導体チップ上に設けられた電極と前記インナリードの先端部がボンディングワイヤにより接続される半導体装置であって、半導体チップと無接続の NC ピンにおけるインナリードの先端部と基準電位用ピンのインナリードとのクリアランスを小さくし、前記 NC ピンから印加される静電ノイズを放電しやすい形状としたことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、前記基準電位用ピンのインナリードが、基準電位供給用の電極が一括してボンディングされる第 2 の補助リードであることを特徴とする半導体装置。

【請求項 7】 半導体チップの上方にインナリードが位置し、前記半導体チップ上に設けられた電極と前記インナリードの先端部がボンディングワイヤにより接続されるリードフレームであって、半導体チップと無接続の NC ピンにおけるインナリードの先端部と電源用ピンまたは基準電位用ピンのいずれかのインナリードとのクリアランスを小さくし、前記 NC ピンから印加される静電ノイズを前記電源用ピンまたは前記基準電位用のインナリードに放電しやすい形状としたことを特徴とするリードフレーム。

【請求項 8】 請求項 7 記載のリードフレームにおいて、前記電源用ピンのインナリードが、電源供給用の電極が一括してボンディングされる第 1 の補助リードであり、前記基準電位用ピンのインナリードが基準電位供給用の電極が一括してボンディングされる第 2 の補助リー

ドであることを特徴とするリードフレーム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびリードフレームに関し、特に、DRAM (Dynamic Random Access Memory) などの耐静電ノイズの向上に適用して有効な技術に関するものである。

## 【0002】

10 【従来の技術】本発明者が検討したところによれば、DRAM メモリなどの半導体装置において、I/O ピンなどの入力端子と内部回路である入力回路間には、抵抗挿入、PN ダイオード、抵抗および PN ダイオードの組合せおよび抵抗と MOS トランジスタの組合せなどから構成された静電破壊保護回路が設けられており、この保護回路によって過電圧を吸収し、静電放電によるデバイスの破壊を防止している。

20 【0003】なお、この種の半導体装置について詳しく述べてある例としては、昭和 59 年 1 月 30 日、株式会社オーム社発行、社団法人 電子通信学会編 (編)、「LSI ハンドブック」P 679 があり、この文献には、過電圧を吸収してデバイスの静電破壊を保護する保護回路の構成などが記載されている。

## 【0004】

【発明が解決しようとする課題】ところが、上記のような半導体装置では、次のような問題点があることが本発明者により見い出された。

30 【0005】すなわち、静電破壊保護回路は、どこにも接続されない端子、すなわち、NC (No Connection) ピンに設けられておらず、この NC ピンに静電放電が生じると隣接する I/O ピンに放電し、この静電放電によって静電破壊保護回路の規定以上の急峻なパルスが発生してしまい、内部回路のデバイスを破壊してしまう恐れがある。

【0006】本発明の目的は、NC ピンに静電破壊保護を施すことにより、耐静電ノイズ性能を大幅に向上することのできる半導体装置およびリードフレームを提供することにある。

40 【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】すなわち、本発明の半導体装置は、半導体チップと無接続の NC ピンに静電放電によるデバイスの破壊を防止する静電破壊保護回路を接続したものである。

50 【0010】また、本発明の半導体装置は、前記静電破

## 3

壊保護回路が、半導体チップ上に形成され、NCピンと静電破壊保護回路とがボンディングワイヤを介して接続されているものである。

【0011】それらにより、NCピンに印加された静電ノイズを高容量の電源電圧または基準電位に放電することができるので、低コストで、かつ容易にNCピンに隣接するインナリードへの放電を防止することができる。

【0012】さらに、本発明の半導体装置は、半導体チップと無接続のNCピンにおけるインナリードの先端部と電源用ピンのインナリードとのクリアランスを小さくし、該NCピンから印加される静電ノイズを電源用ピンのインナリードに放電しやすい形状としたものである。

【0013】また、本発明の半導体装置は、前記電源用ピンのインナリードが、電源供給用の電極が一括してボンディングされる第1の補助リードよりなるものである。

【0014】さらに、本発明の半導体装置は、半導体チップと無接続のNCピンにおけるインナリードの先端部と基準電位用ピンのインナリードとのクリアランスを小さくし、該NCピンから印加される静電ノイズを放電しやすい形状としたものである。

【0015】また、本発明の半導体装置は、前記基準電位用ピンのインナリードが、基準電位供給用の電極が一括してボンディングされる第2の補助リードよりなるものである。

【0016】それにより、NCピンから隣接するピンへの静電放電によるデバイスの破壊やピンリークなどを防止することができる。

【0017】さらに、本発明のリードフレームは、半導体チップと無接続のNCピンにおけるインナリードの先端部と電源用ピンまたは基準電位用ピンのいずれかのインナリードとのクリアランスを小さくし、該NCピンから印加される静電ノイズを電源用ピンまたは基準電位用のいずれかのインナリードに放電しやすい形状としたものである。

【0018】また、本発明のリードフレームは、前記電源用ピンのインナリードが、電源供給用の電極が一括してボンディングされる第1の補助リードであり、前記基準電位用ピンのインナリードが基準電位供給用の電極が一括してボンディングされる第2の補助リードよりなるものである。

【0019】それらにより、NCピンに印加された静電ノイズを高容量の電源電圧または基準電位に放電することができるので、低コストで、かつ容易にNCピンに隣接するインナリードへの放電を防止することができる。

【0020】以上のことにより、半導体装置の耐静電ノイズ性能を向上することができ、半導体装置の信頼性を大幅に向上することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面

## 4

に基づいて詳細に説明する。

【0022】（実施の形態1）図1は、本発明の実施の形態1による半導体装置の説明図、図2は、本発明の実施の形態1によるNCピンおよび静電破壊保護回路の説明図、図3は、本発明の実施の形態1による半導体装置に設けられたI/Oピンと接続される静電破壊保護回路の回路図、図4は、本発明の実施の形態1による半導体装置に設けられたI/Oピン以外のピンと接続される静電破壊保護回路の回路図、図5、図6は、本発明の実施の形態1によるI/Oピン以外のピンと接続される静電破壊保護回路のデバイス構成の説明図である。

【0023】本実施の形態1において、DRAMなどの半導体装置1は、図1に示すように、総ピン数が54ピンを有しており、たとえば、表面実装形パッケージの一種であるSOJ（Small Outline J-leaded Package）形の樹脂封止パッケージからなっている。

【0024】また、半導体装置1は、半導体チップ2の中央部に設けられた電極であるボンディングパッドBPが配置され、その半導体チップ2の上方には、ポリミドテープなどの絶縁テープを介してリードフレーム3が位置するLOC構造となっている。

【0025】さらに、半導体チップ2のボンディングパッドBP近傍には、該ボンディングパッドBPとボンディングワイヤ4を介してそれぞれ電氣的に接続が行われるインナリード3aが位置しており、このインナリード3aが延在して外部接続線となるアウトリード3bが構成されている。

【0026】また、リードフレーム3には、電源電圧V<sub>CC</sub>を供給する棒状のバスバー（電源用ピン、第1の補助リード）BB1およびグランド電位（基準電位）V<sub>SS</sub>を供給する、同じく棒状のバスバー（基準電位用ピン、第2の補助リード）BB2がボンディングパッドBPの周辺近傍に設けられており、電源電圧V<sub>CC</sub>またはグランド電位V<sub>SS</sub>が供給されるパッドBPは、このバスバーBB1、BB2とボンディングワイヤ4により電氣的に接続されている。

【0027】さらに、半導体チップ2ならびにインナリード3aは、たとえば、エポキシレジンなどの樹脂体により封止されており、この封止された樹脂体の対向する1対の側面からアウトリード3bが突出して設けられており、当該アウトリード3bは、J字状に屈曲形成されている。

【0028】また、半導体装置1には、どこにも接続されない状態のNCピンP1、P2（15ピン、36ピン）が設けられており、NCピンP1には、電源電圧V<sub>CC</sub>が供給される電源用ピン（14ピン）ならびにアクセスがリードかライトかを指定するライトイネーブル信号/WEが入力される回路と接続されるピン（16ピン）が隣接している。

【0029】さらに、NCピンP2は、アドレス信号が入力されるアドレスピン（35ピン）およびクロックイネーブル信号CKEが入力される回路に接続されるピン（37ピン）が隣接している。

【0030】そして、これらNCピンP1、P2も、ボンディングワイヤ4を介して、NCピン専用の所定のボンディングパッドBPNに電氣的に接続されている。

【0031】また、それぞれのインナリード3aと電氣的に接続された各々のボンディングパッドBPの近傍には、図2に示すように、それぞれ静電破壊（以下、ESDという）保護回路5が設けられており、このESD保護回路5を介してボンディングパッドBPと内部回路SCとが電氣的に接続されており、該ESD保護回路5によって過電圧を吸収し、静電放電によるデバイスの破壊を防止している。同様に、NCピン専用のボンディングパッドBPNの近傍にもESD保護回路5<sub>1</sub>が設けられている。

【0032】さらに、ESD保護回路5は、データ入出力用のI/Oピン用のESD保護回路5aと、I/Oピン以外に用いられるESD保護回路5bとの2回路があり、ESD保護回路5<sub>1</sub>の構成もI/Oピン以外に用いられるESD保護回路5bと同じとなっている。

【0033】また、ESD保護回路5aは、図3に示すように、PチャンネルMOSトランジスタと、NチャンネルMOSトランジスタとから構成され、入出力バッファを兼ねた回路構成となっている。このESD保護素子10aは、I/Oピン用のインナリード3aと接続されるボンディングパッドBPの近傍に設けられている。

【0034】さらに、I/Oピン以外のインナリード3aと接続されるESD保護回路5bも、図3に示すように、同じくボンディングパッドBP、BPNの近傍に設けられている。

【0035】このESD保護回路5<sub>1</sub>は、図4に示すように、NPN構造のトランジスタT1、T2、NチャンネルMOS構造のトランジスタT3ならびに抵抗Rによって構成されている。

【0036】また、トランジスタT1のコレクタおよびベース、トランジスタT2のコレクタは、ボンディングパッドBPNと電氣的に接続されており、トランジスタT1のエミッタは、トランジスタT2のベースと電氣的に接続され、トランジスタT2のエミッタが基準電位であるグランド電位V<sub>SS</sub>に電氣的に接続されており、一種のサイリスタ構成となっており、このサイリスタ構成のトランジスタT1、T2をONさせることによって、静電ノイズをディスチャージパスさせている。

【0037】さらに、抵抗Rの一方の接続部は、ボンディングパッドBP、BPNと電氣的に接続されており、抵抗Rの他方の接続部は、トランジスタT3の一方の接続部と電氣的に接続され、トランジスタT3のゲートと他方の接続部とは、グランド電位V<sub>SS</sub>と電氣的に接続さ

れている。ここで、静電ノイズのディスチャージパスは、前述したグランド電位V<sub>SS</sub>ではなく、電源電圧V<sub>CC</sub>であってもよい。

【0038】また、このトランジスタT3は、前述したサイリスタ構成のトランジスタT1、T2のスイッチング時間を短時間化するための、いわゆる、クランプトランジスタとして設けられている。

【0039】図4では、NCピンP1、P2と接続されるESD保護回路5<sub>1</sub>について示したが、アドレスピンなどと接続されるESD保護素子5bでは、抵抗Rの他方の接続部が内部回路に接続されていることになる。

【0040】そして、このESD保護回路5bのデバイス構成は、図5、図6に示すように、たとえば、半導体チップであるP形シリコン基板PK上にはNウェルWが形成されており、そのNウェルWの中央部には、トランジスタT1のベースとして機能する不純物領域、いわゆる、P形の拡散層K1が形成され、その拡散層K1を挟んだ両側の位置には、トランジスタT1のエミッタならびにコレクタとして機能するN形の拡散層K2、K3が形成されている。

【0041】また、一方の拡散層K3の近傍には、トランジスタT2のエミッタならびにトランジスタT3の他方の接続部として機能するN形の拡散層K4が形成されており、これら拡散層K3、K4に挟まれたP形シリコン基板の位置がトランジスタT2のベースとして機能する。

【0042】さらに、トランジスタT3は、P形シリコン基板PK上に前述した拡散層K4と、同じくトランジスタT3の一方の接続部として機能するN形の拡散層K5との中央部にゲートとして機能するチャンネルが形成され、そのチャンネルの上方にトランジスタT3のゲートGが形成されている。

【0043】また、抵抗Rの一方の接続部が拡散層K1、K2と接続され、抵抗Rの他方の接続部が拡散層K5ならびに静電ノイズをディスチャージパスさせる電源電圧V<sub>CC</sub>と接続されている。

【0044】たとえば、NCピンP1に静電ノイズが印加された場合、この静電ノイズは、NCピンP1からボンディングワイヤ4を介してESD保護回路5bに入力されることになる。そして、このESD保護回路5bによって過電圧を吸収するので、隣接するアドレスピンなどのインナリード3aに静電ノイズが放電することがなくなる。

【0045】それにより、本実施の形態1では、NCピンP1、P2にESD保護回路5bを設けたことにより、NCピンP1、P2に印加された静電ノイズが隣接するインナリード3aに放電するデバイスの破壊やピンリークなどを防止することができ、半導体装置1の耐ノイズ性能を大幅に向上することができる。

【0046】（実施の形態2）図7は、本発明の実施の

形態 2 による半導体装置の説明図、図 8 は、本発明の実施の形態 2 による NC ピンおよびその近傍のリードフレームの説明図である。

【0047】本実施の形態 2 においては、半導体装置 1 の NC ピン P 1、P 2 におけるインナリード 3 a の先端部が三角形に形成され、該 NC ピン P 1、P 2 の三角形の先端部近傍に位置するバスバー BB 1、BB 2 も突出して形成されている。また、バスバー BB 1、BB 2 の突出した先端部は、NC ピン P 1、P 2 の三角形の先端部との放電が行われやすいように三角形となっており、これらバスバー BB 1、BB 2 の先端部と NC ピン P 1、P 2 のインナリード 3 a における先端部とのクリアランスは、他のインナリード 3 a とバスバー BB 1、BB 2 とのクリアランスならびに NC ピン P 1、P 2 と該 NC ピン P 1、P 2 に隣接するインナリード 3 a とのクリアランスよりも小さくなっている。

【0048】また、NC ピン P 1、P 2 以外のピンと接続されるボンディングパッド BP には、ESD 保護回路 5 が設けられているが、該 NC ピン P 1、P 2 には、ESD 保護回路は設けられていない。

【0049】たとえば、NC ピン P 1 に静電ノイズが印加されると、静電ノイズは、図 8 に示すように、隣接する他のインナリードなどに放電することなく、最もクリアランスの小さい NC ピン P 1 のインナリード 3 a の先端部から該インナリード 3 a の先端部近傍のバスバー BB 1 における突出した先端部に静電ノイズが放電されることになる。

【0050】静電ノイズが放電されたバスバー BB 1 は、前述したように容量が大きい電源電圧ピンと接続されているので、半導体装置 1 の動作に影響を与えることなく放電された静電ノイズを吸収することができる。

【0051】それにより、本実施の形態 2 においては、リードフレーム 3 の NC ピン P 1、P 2 ならびにその NC ピン P 1、P 2 の近傍のバスバー BB 1、BB 2 に突起部を設けたことにより、NC ピン P 1、P 2 に印加された静電ノイズが隣接するインナリード 3 a に放電することによって発生するデバイスの破壊やピンリークなどを低コストで、容易に防止することができ、半導体装置 1 の耐ノイズ性能を大幅に向上することができる。

【0052】また、本実施の形態 2 においては、NC ピン P 1、P 2 とバスバー BB 1、BB 2 との両方に突出部を設けたが、図 9 や図 10 に示すように、NC ピン P 1、P 2 またはバスバー BB 1、BB 2 のいずれか一方に突出部を設けるようにしても、良好に NC ピン P 1、P 2 に印加されたノイズを電源ラインやグランドラインに放電することができる。

【0053】さらに、NC ピン P 1、P 2 やバスバー BB 1、BB 2 に突起を設けるのではなく、図 11、図 12 に示すように、バスバー BB 1、BB 2 とインナリード 3 a の端部とのクリアランスを全体的に小さくする

ことによって NC ピン P 1、P 2 とバスバー BB 1、BB 2 との放電が行われやすいようにしてもよい。

【0054】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0055】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0056】(1) 本発明によれば、NC ピンと電源用ピンのインナリードとのクリアランスを小さくしたリードフレームの構成によって、NC ピンに印加された静電ノイズを低コストで、かつ容易に高容量の電源電圧または基準電位に放電することができるので、NC ピンに隣接するインナリードへの放電を防止することができる。

【0057】(2) また、本発明では、NC ピンに静電破壊保護回路を接続することにより、静電ノイズが印加されても NC ピンに隣接するインナリードに放電することなく過電圧を吸収することができる。

【0058】(3) さらに、本発明においては、上記 (1)、(2) により、静電放電によるデバイスの破壊やピンリークなどを防止することができるので、半導体装置の耐ノイズ性能を大幅に向上することができ、信頼性の高い製品を提供することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による半導体装置の説明図である。

【図 2】本発明の実施の形態 1 による NC ピンおよび静電破壊保護回路の説明図である。

【図 3】本発明の実施の形態 1 による半導体装置に設けられた I/O ピンと接続される静電破壊保護回路の回路図である。

【図 4】本発明の実施の形態 1 による半導体装置に設けられた I/O ピン以外のピンと接続される静電破壊保護回路の回路図である。

【図 5】本発明の実施の形態 1 による I/O ピン以外のピンと接続される静電破壊保護回路のデバイス構成の説明図である。

【図 6】図 5 の A' - A'' 断面の説明図である。

【図 7】本発明の実施の形態 2 による半導体装置の説明図である。

【図 8】本発明の実施の形態 2 による NC ピンおよびその近傍のリードフレームの説明図である。

【図 9】本発明の他の実施の形態による半導体装置の一例の説明図である。

【図 10】本発明の他の実施の形態による半導体装置の他の例の説明図である。

【図 11】本発明の他の実施の形態による半導体装置の

説明図である。

【図12】本発明の他の実施の形態によるNCピンおよびその近傍のリードフレームの説明図である。

【符号の説明】

- 1 半導体装置
- 2 半導体チップ
- 3 リードフレーム
- 3a インナリード
- 3b アウタリード
- 4 ボンディングワイヤ
- 5 静電破壊保護回路
- 5<sub>1</sub> 静電破壊保護回路
- 5a 静電破壊保護回路
- 5b 静電破壊保護回路
- P1, P2 NCピン

BP ボンディングパッド

SC 内部回路

BB1 バスバー（電源用ピン、第1の補助リード）

BB2 バスバー（基準電位用ピン、第2の補助リード）

V<sub>CC</sub> 電源電圧

V<sub>SS</sub> グランド電位（基準電位）

BPN ボンディングパッド

T1~T3 トランジスタ

10 R 抵抗

PK シリコン基板

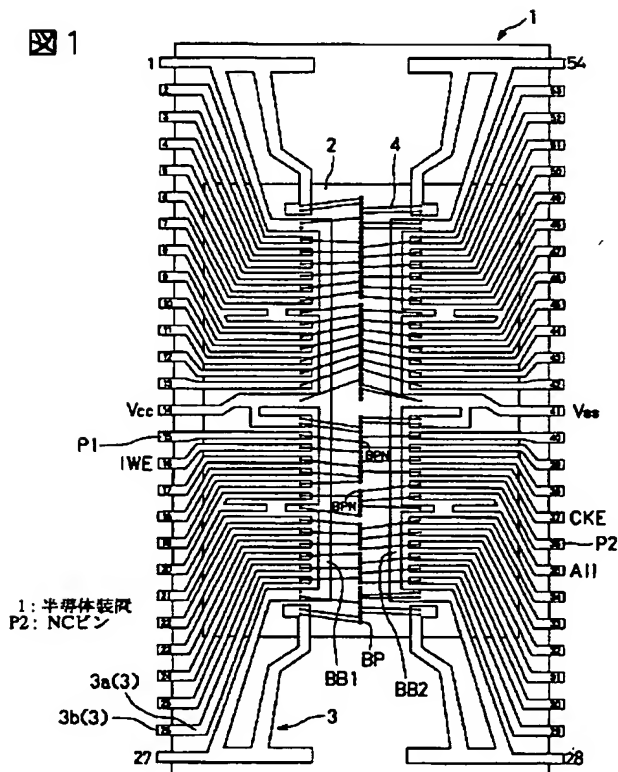
W Nウェル

K1~K5 拡散層

G ゲート

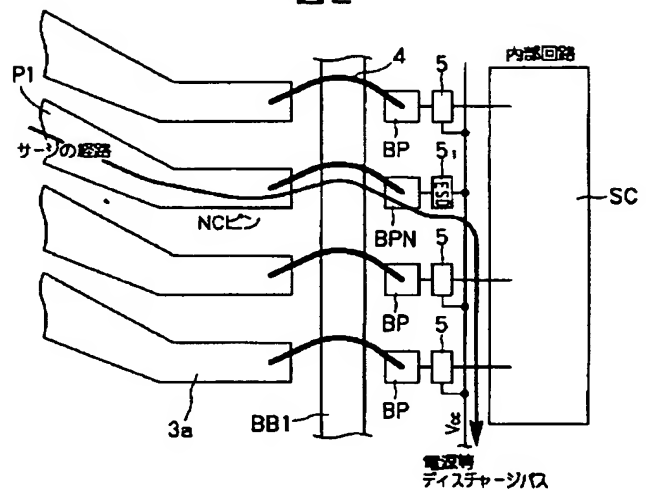
【図1】

図1



【図2】

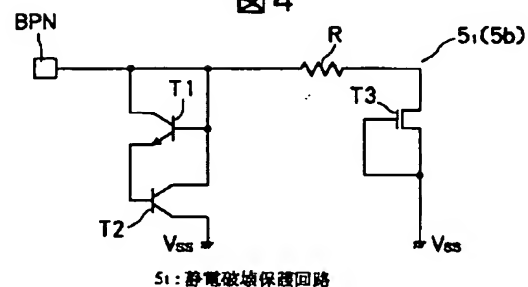
図2



- 4: ボンディングワイヤ
- P1: NCピン
- SC: 内部回路
- 101: 静電破壊保護回路

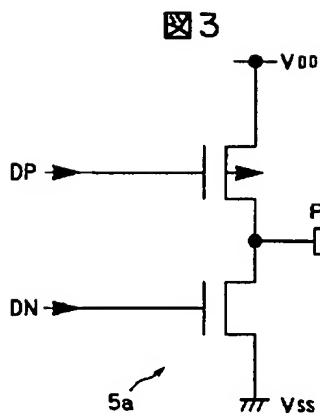
【図4】

図4

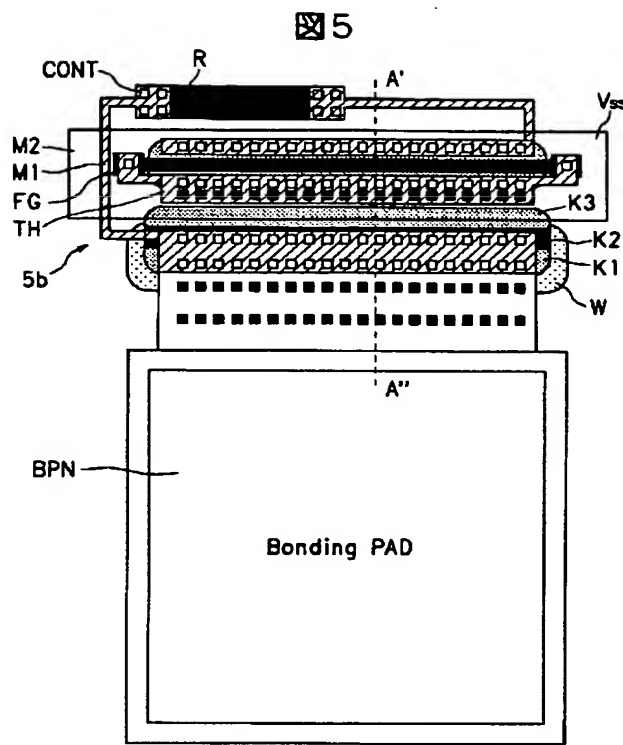


- 5<sub>1</sub>: 静電破壊保護回路

【図 3】

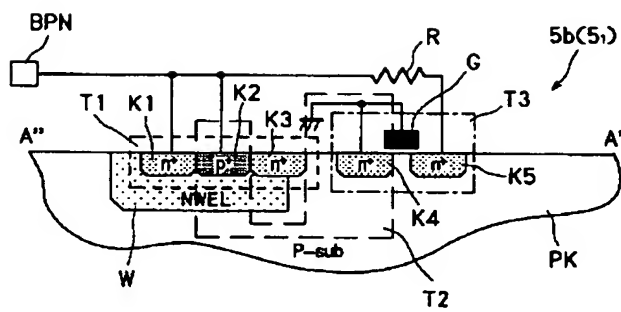


【図 5】



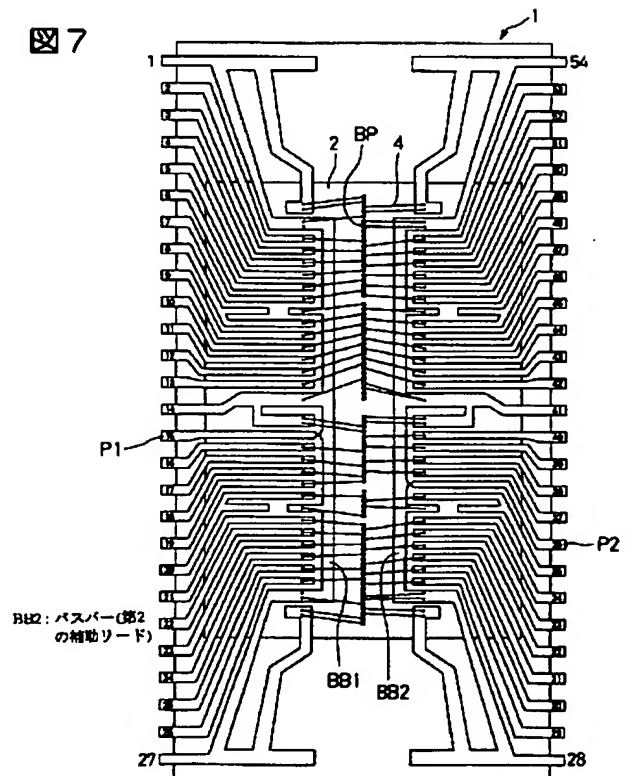
【図 6】

図 6



【図 7】

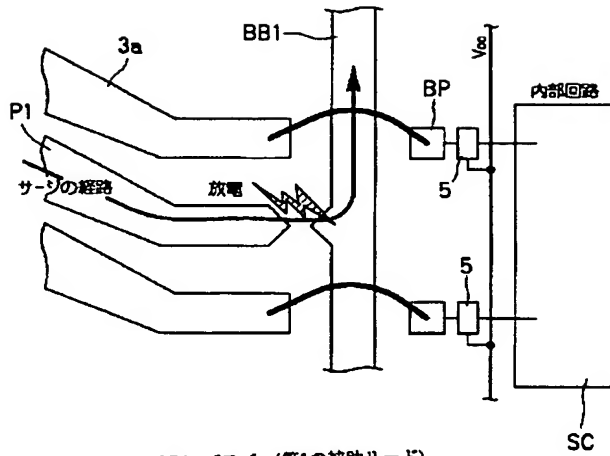
図 7





【図 8】

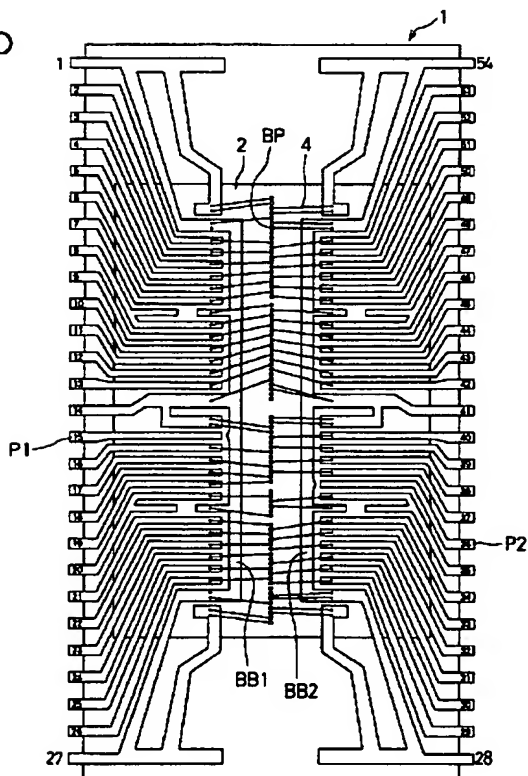
図 8



BB1: バスバー(第1の補助リード)

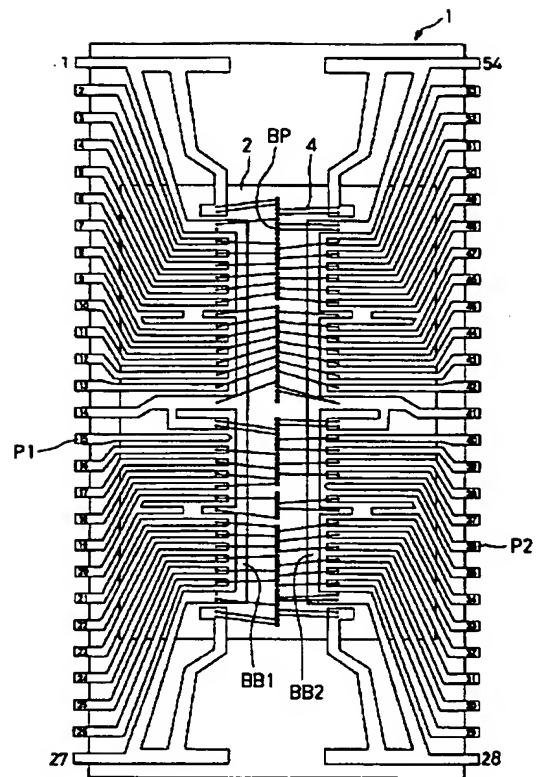
【図 10】

図 10



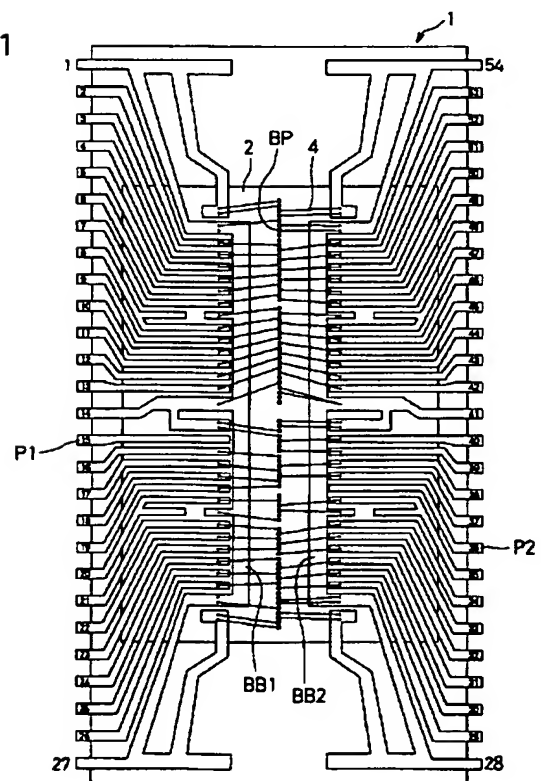
【図 9】

図 9



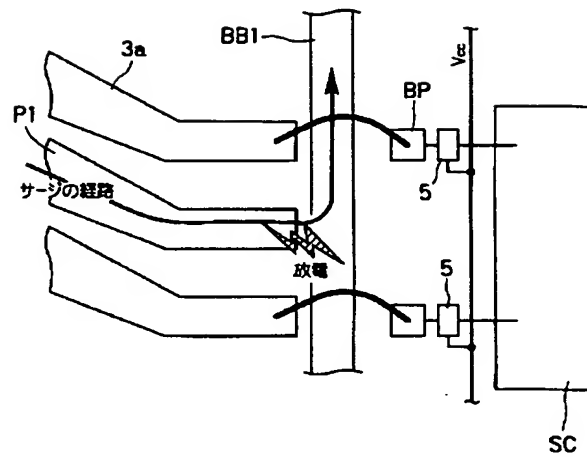
【図 11】

図 11



【図 12】

図 12



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**